

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-15741

(P2001-15741A)

(43) 公開日 平成13年1月19日 (2001.1.19)

(51) Int.Cl.⁷

H 0 1 L 29/78

29/786

識別記号

F I

H 0 1 L 29/78

テ-マ- (参考)

3 0 1 X 5 F 0 4 0

3 0 1 W 5 F 1 1 0

6 1 6 S

審査請求 未請求 請求項の数 9 O L (全 9 頁)

(21) 出願番号 特願平11-186341

(22) 出願日 平成11年6月30日 (1999.6.30)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 中村 和敏

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72) 発明者 川口 雄介

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

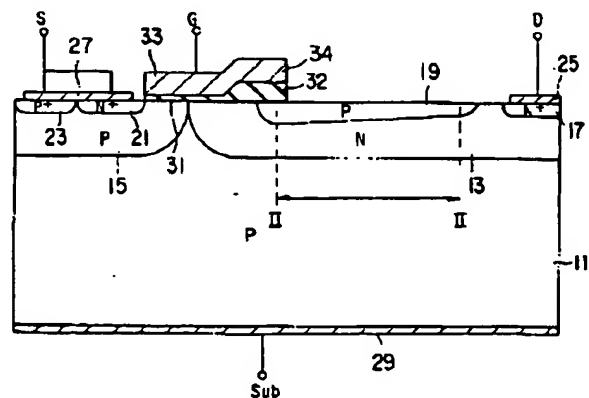
最終頁に続く

(54) 【発明の名称】 電界効果トランジスタ

(57) 【要約】

【課題】 オン抵抗の低抵抗化と高耐圧化とを併せて実現可能なダブルリソース構造を有する電界効果トランジスタを提供する。

【解決手段】 p型の半導体活性層11の表面にn型のドリフト層13とp型のベース層15とが互いに隣接するように形成される。ドリフト層13の表面には、n'型のドレイン層17とp型のリソース層19とが形成される。ベース層15の表面には、n'型のソース層21とp'型のコンタクト層23とが互いに隣接するように形成される。ドリフト層13とソース層21とで挟まれたベース層15の領域の上にはゲート絶縁膜31を介してゲート電極33が配設される。リソース層19はドレイン層17側からベース層15側に向かって漸進的にp型のキャリア不純物のドーザ量が高くなるように設定される。



【特許請求の範囲】

【請求項1】第2導電型の半導体活性層の表面に選択的に形成された第1導電型のドリフト層及び第2導電型のベース層と、

前記ドリフト層の表面に形成された第1導電型のドレイン層と、

前記ベース層と前記ドレイン層との間に挟まれるように前記ドリフト層の表面に形成された第2導電型の電界緩和層と、

前記ドリフト層に対して間隔をおくように前記ベース層の表面に形成された第1導電型のソース層と、

前記ドリフト層と前記ソース層とで挟まれた前記ベース層の領域の上にゲート絶縁膜を介して形成されたゲート電極と、

前記ドレイン層及び前記ソース層に夫々電氣的に接続されたドレイン電極及びソース電極と、を具備し、前記電界緩和層は、前記ドレイン層側の方が前記ベース層側よりも第2導電型のキャリア不純物のドーピング量が低い領域を有することを特徴とする電界効果トランジスタ。

【請求項2】第1導電型の半導体活性層の表面に選択的に形成された第1導電型のドリフト層及び第2導電型のベース層と、

前記ドリフト層の表面に形成された第1導電型のドレイン層と、

前記ドリフト層に対して間隔をおくように前記ベース層の表面に形成された第1導電型のソース層と、

前記ベース層と前記ドレイン層との間に挟まれるように前記ドリフト層と前記半導体活性層との間に形成された第2導電型の電界緩和層と、

前記ドリフト層と前記ソース層とで挟まれた前記ベース層の領域の上にゲート絶縁膜を介して形成されたゲート電極と、

前記ドレイン層及び前記ソース層に夫々電氣的に接続されたドレイン電極及びソース電極と、を具備し、前記電界緩和層は、前記ドレイン層側の方が前記ベース層側よりも第2導電型のキャリア不純物のドーピング量が低い領域を有することを特徴とする電界効果トランジスタ。

【請求項3】前記電界緩和層は、前記ドレイン層側から前記ベース層側に向かって漸進的に第2導電型のキャリア不純物のドーピング量が高くなることを特徴とする請求項1または2に記載の電界効果トランジスタ。

【請求項4】前記電界緩和層は、前記ベース層側及び前記ドレイン層側に夫々配置された第1及び第2層部分を含む複数の層部分を具備し、前記第2層部分は前記第1層部分よりも第2導電型のキャリア不純物のドーピング量が低いことを特徴とする請求項1または2に記載の電界効果トランジスタ。

【請求項5】第2導電型の半導体活性層の表面に選択的に形成された第1導電型のドリフト層及び第2導電型のベース層と、

前記ドリフト層の表面に形成された第1導電型のドレイン層と、

前記ベース層と前記ドレイン層との間に挟まれるように前記ドリフト層の表面に形成された第2導電型の電界緩和層と、

前記ドリフト層に対して間隔をおくように前記ベース層の表面に形成された第1導電型のソース層と、

前記ドリフト層と前記ソース層とで挟まれた前記ベース層の領域の上にゲート絶縁膜を介して形成されたゲート電極と、

前記ドレイン層及び前記ソース層に夫々電氣的に接続されたドレイン電極及びソース電極と、を具備し、前記ドリフト層は、前記ベース層側の方が前記ドレイン層側よりも第1導電型のキャリア不純物のドーピング量が低い領域を有することを特徴とする電界効果トランジスタ。

【請求項6】前記ドリフト層は、前記ベース層側から前記ドレイン層側に向かって漸進的に第1導電型のキャリア不純物のドーピング量が高くなることを特徴とする請求項5に記載の電界効果トランジスタ。

【請求項7】前記ドリフト層は、前記ベース層側及び前記ドレイン層側に夫々配置された第1及び第2層部分を含む複数の層部分を具備し、前記第2層部分は前記第1層部分よりも第1導電型のキャリア不純物のドーピング量が高いことを特徴とする請求項5に記載の電界効果トランジスタ。

【請求項8】前記電界緩和層は、前記ドリフト層の表面に形成された第2導電型の部分接続層を介して前記ベース層と電氣的に接続されることを特徴とする請求項1乃至7のいずれかに記載の電界効果トランジスタ。

【請求項9】前記電界緩和層は、配線層を介して前記ソース電極と電氣的に接続されることを特徴とする請求項1乃至9のいずれかに記載の電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は電界効果トランジスタに関し、より具体的にはダブルリサーフ(Double RESurf (Reduced Surface Field))構造を有する電界効果トランジスタの高耐圧化技術に関する。

【0002】

【従来の技術】MOS (Metal Oxide Semiconductor) 型構造を用いた電界効果トランジスタ(FET)、即ちMOSFETとして、半導体活性層の表面にドリフト層が形成され、更にドリフト層の表面にリサーフ層が形成された、所謂ダブルリサーフ構造を有するものが知られている。例えば、N-MOSFETであれば、活性層及びリサーフ層はp型で、ドリフト層はn型となる。このような構造を有するMOSFETにおいては、n型ドリフト層が、p型のリサーフ層及び活性層により上下から挟まれていることにより、容易に空乏化可能となる。このため、ドリフト層におけるn型のキャリア不純物のド

ーズ量を高くでき、その結果、オン抵抗を低減できるという利点が得られる。

【0003】図16はダブルリサーフ構造を有する従来のN-MOSFETを示す断面図である。図16図示の如く、p型の半導体活性層61の表面にn型のドリフト層63とp型のベース層65とが互いに隣接するように形成される。ドリフト層63の表面には、n'型のドレイン層67とp型のリサーフ層69とが形成される。ベース層65の表面には、n'型のソース層71とp'型のコンタクト層73とが互いに隣接するように形成される。ドリフト層63とソース層71とで挟まれたベース層65の領域の上にはゲート絶縁膜を介してゲート電極76が配設される。

【0004】リサーフ層69は、電子のドリフト方向に沿ってベース層65とドレイン層67との間に挟まれ且つこれらの層65、67に対して間隔をおくようにドリフト層63の表面に配置される。図17は、図16の領域XVII・XVIIに対応する、ドリフト層63及びリサーフ層69の不純物ドーザ量のプロファイルを示す図である。図示の如く、リサーフ層69及びドリフト層63はベース層65側からドレイン層67側まで実質的に均一な不純物ドーザ量を有する。

【0005】

【発明が解決しようとする課題】本発明者等の研究によれば、図16図示のMOSFETでは、オフ状態において、リサーフ層69側のドレイン層67の端部に電界が集中し、高耐圧が得られないという問題点が見出されている。この理由としては、ダブルリサーフ構造はドリフト層63が非常に空乏化しやすい構造であるため、キャリア不純物濃度の高いドレイン層67の端部近傍で電界が高くなるということが考えられる。

【0006】本発明はかかる従来技術の問題点に鑑みてなされたものであり、オン状態における抵抗の減少（オン抵抗の低抵抗化）と、オフ状態における耐圧の上昇（高耐圧化）とを併せて実現可能なダブルリサーフ構造を有する電界効果トランジスタを提供することを目的とする。

【0007】

【課題を解決するための手段】本発明の第1の視点は、電界効果トランジスタにおいて、第2導電型の半導体活性層の表面に選択的に形成された第1導電型のドリフト層及び第2導電型のベース層と、前記ドリフト層の表面に形成された第1導電型のドレイン層と、前記ベース層と前記ドレイン層との間に挟まれるように前記ドリフト層の表面に形成された第2導電型の電界緩和層と、前記ドリフト層に対して間隔をおくように前記ベース層の表面に形成された第1導電型のソース層と、前記ドリフト層と前記ソース層とで挟まれた前記ベース層の領域の上にゲート絶縁膜を介して形成されたゲート電極と、前記ドレイン層及び前記ソース層に夫々電気的に接続された

ドレイン電極及びソース電極と、を具備し、前記電界緩和層は、前記ドレイン層側の方が前記ベース層側よりも第2導電型のキャリア不純物のドーザ量が低い領域を有することを特徴とする。

【0008】本発明の第2の視点は、電界効果トランジスタにおいて、第1導電型の半導体活性層の表面に選択的に形成された第1導電型のドリフト層及び第2導電型のベース層と、前記ドリフト層の表面に形成された第1導電型のドレイン層と、前記ドリフト層に対して間隔をおくように前記ベース層の表面に形成された第1導電型のソース層と、前記ベース層と前記ドレイン層との間に挟まれるように前記ドリフト層と前記半導体活性層との間に形成された第2導電型の電界緩和層と、前記ドリフト層と前記ソース層とで挟まれた前記ベース層の領域の上にゲート絶縁膜を介して形成されたゲート電極と、前記ドレイン層及び前記ソース層に夫々電気的に接続されたドレイン電極及びソース電極と、を具備し、前記電界緩和層は、前記ドレイン層側の方が前記ベース層側よりも第2導電型のキャリア不純物のドーザ量が低い領域を有することを特徴とする。

【0009】本発明の第3の視点は、第1または第2の視点の電界効果トランジスタにおいて、前記電界緩和層は、前記ドレイン層側から前記ベース層側に向かって漸進的に第2導電型のキャリア不純物のドーザ量が高くなることを特徴とする。

【0010】本発明の第4の視点は、第1または第2の視点の電界効果トランジスタにおいて、前記電界緩和層は、前記ベース層側及び前記ドレイン層側に夫々配置された第1及び第2層部分を含む複数の層部分を具備し、前記第2層部分は前記第1層部分よりも第2導電型のキャリア不純物のドーザ量が低いことを特徴とする。

【0011】本発明の第5の視点は、電界効果トランジスタにおいて、第2導電型の半導体活性層の表面に選択的に形成された第1導電型のドリフト層及び第2導電型のベース層と、前記ドリフト層の表面に形成された第1導電型のドレイン層と、前記ベース層と前記ドレイン層との間に挟まれるように前記ドリフト層の表面に形成された第2導電型の電界緩和層と、前記ドリフト層に対して間隔をおくように前記ベース層の表面に形成された第1導電型のソース層と、前記ドリフト層と前記ソース層とで挟まれた前記ベース層の領域の上にゲート絶縁膜を介して形成されたゲート電極と、前記ドレイン層及び前記ソース層に夫々電気的に接続されたドレイン電極及びソース電極と、を具備し、前記ドリフト層は、前記ベース層側の方が前記ドレイン層側よりも第1導電型のキャリア不純物のドーザ量が低い領域を有することを特徴とする。

【0012】本発明の第6の視点は、第5の視点の電界効果トランジスタにおいて、前記ドリフト層は、前記ベース層側から前記ドレイン層側に向かって漸進的に第1

導電型のキャリア不純物のドーズ量が高くなることを特徴とする。

【0013】本発明の第7の視点は、第5の視点の電界効果トランジスタにおいて、前記ドリフト層は、前記ベース層側及び前記ドレイン層側に夫々配置された第1及び第2層部分を含む複数の層部分を具備し、前記第2層部分は前記第1層部分よりも第1導電型のキャリア不純物のドーズ量が高いことを特徴とする。

【0014】本発明の第8の視点は、第1乃至第7の視点のいずれかの電界効果トランジスタにおいて、前記電界緩和層は、前記ドリフト層の表面に形成された第2導電型の部分接続層を介して前記ベース層と電気的に接続されることを特徴とする。

【0015】本発明の第9の視点は、第1乃至第7の視点のいずれかの電界効果トランジスタにおいて、前記電界緩和層は、配線層を介して前記ソース電極と電気的に接続されることを特徴とする。

【0016】

【発明の実施の形態】以下に本発明の実施の形態について図面を参照して説明する。なお、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

【0017】図1は本発明の実施の形態に係るN-MOSFETを示す断面図である。図1図示の如く、p型のシリコンウエハ、即ち半導体基板或いは半導体活性層11の表面にn型のドリフト層13とp型のベース層15とが選択的に形成される。ドリフト層13の表面には、n型のドレイン層17とp型のリサーフ層（電界緩和層）19とが形成される。ベース層15の表面には、n型のソース層21とp型のコンタクト層23とが互いに隣接するように形成される。

【0018】ドレイン層17上にドレイン電極25が配設され、ソース層21及びコンタクト層23上にソース電極27が配設され、更に、活性層11の裏面上にバイアス電極29が配設される。また、ドリフト層13とソース層21とで挟まれたベース層15の領域の上にゲート絶縁膜31を介してゲート電極33が配設される。

【0019】リサーフ層19は、電子のドリフト方向に沿ってベース層15とドレイン層17との間に挟まれ、かつこれらの層15、17に対して間隔をおくようにドリフト層13の表面に配置される。n型ドリフト層13が、p型のリサーフ層19及び活性層11により上下から挟まれていることにより、容易に空乏化可能となる。このため、ドリフト層13におけるn型のキャリア不純物のドーズ量を高くでき、その結果、オン状態における抵抗の減少、即ちオン抵抗の低抵抗化が達成される。

【0020】ゲート電極33は絶縁膜32を介してリサーフ層19上に延在する部分34を有する。これにより、ゲート電極33とリサーフ層19とが容量結合し、

リサーフ層19がフローティング状態となることが防止される。

【0021】図2は、図1の領域II-IIに対応する、ドリフト層13内におけるリサーフ層19のp型のキャリア不純物ドーズ量のプロファイルを示す図である。図示の如く、リサーフ層19はドレイン層17側からベース層15側に向かって漸進的にp型のキャリア不純物のドーズ量が高くなるように設定される。なお、ここで、ドーズ量は、リサーフ層19のp型のキャリア不純物の濃度を深さ方向に積分した値と言い換えることができる。

【0022】このような構成を有する図1図示のMOSFETでは、オフ状態において、ゲート電極33には電圧が印加されず、ソース電極27及びドレイン電極25間には、オン状態と同じ電圧が印加された状態となる。この状態において、ドリフト層13のベース層15側の部分は、リサーフ層19のp型のキャリア不純物のドーズ量が高いため、容易に空乏化される。これに対して、ドリフト層13のドレイン層17側の部分は、リサーフ層19のp型のキャリア不純物のドーズ量が低いため、容易に空乏化されない。

【0023】このため、オフ状態において、ドリフト層13のドレイン層17側の部分には、多数のn型のキャリアが残存する。この残存するn型のキャリアの濃度は、リサーフ層19のp型のキャリア不純物のドーズ量の勾配と逆勾配となり、即ち、ドレイン層17側では高く、ベース層15側に向かって低くなり、やがて空乏化する。換言すれば、オフ状態において、リサーフ層19に対向する側のドレイン層17の端部近傍では、ドリフト層13内に多数のn型のキャリアが存在することとなる。このため、キャリア不純物濃度の高いドレイン層17の端部における電界集りが緩和され、従って、オフ状態における耐圧の上昇、即ち高耐圧化が達成される。

【0024】なお、図1図示のMOSFETでは、図1図示の従来のMOSFETに比べ、ドリフト層13におけるn型のキャリア不純物のドーズ量をより高くできる。このため、オン抵抗の低抵抗化を更に向上させることができる。

【0025】図1図示のリサーフ層19の漸進的に低くなるp型のキャリア不純物のドーズ量のプロファイルは、不純物をイオン注入する際のマスクを調整することにより実現することができる。即ち、イオン注入用のマスクの開口の大きさを、ドーズ量の高い領域では大きくし、ドーズ量が低い領域では小さくする。これにより、リサーフ層19のためのp型のキャリア不純物の導入を1回のイオン注入で行うことができる。

【0026】図3は本発明の別の実施の形態に係るN-MOSFETを示す断面図である。図3図示の如く、この実施の形態は、リサーフ層が、ドリフト層13の表面に形成された2つの層部分19a、19bからなる点で図1図示のMOSFETと異なる。層部分19a、19

bは電子のドリフト方向に沿って並び且つ互いに接続されるように配置される。

【0027】図1は、図3の領域IV-IVに対応する、ドリフト層13内におけるリサーフ層の層部分19a、19bのp型のキャリア不純物ドーザ量のプロファイルを示す図である。図示の如く、リサーフ層の層部分19a、19bは、ベース層15側の層部分19aよりも、ドレイン層17側の層部分19bの方が、p型のキャリア不純物のドーザ量が低くなるように設定される。

【0028】図3図示のMOSFETにおいても、リサーフ層の層部分19bの不純物のドーザ量が低いため、オフ状態において、これに対向する側のドレイン層17の端部近傍では、ドリフト層13内に多数のn型のキャリアが存在することとなる。このため、キャリア不純物濃度の高いドレイン層17の端部における電界集中が緩和され、従って、オフ状態における耐圧の上昇、即ち高耐圧化が達成される。

【0029】なお、リサーフ層の層部分19a、19bの数は、3つ以上とすることもできる。また、リサーフ層の層部分19a、19bは、図3中に一点鎖線で示すように、互いに間隔をおくように形成することもできる。

【0030】図5は本発明の更に別の実施の形態に係るN-MOSFETを示す断面図である。図5図示の如く、この実施の形態は、図1図示のMOSFETと異なるドリフト層13A及びリサーフ層19A有する。リサーフ層19Aはベース層15側からドレイン層17側まで実質的に均一な不純物ドーザ量を有する。一方、ドリフト層13Aは、ベース層15側からドレイン層17側に向かって漸進的にn型のキャリア不純物のドーザ量が高くなるように設定される。図6は、図5の領域VI-VIに対応する、ドリフト層13Aのn型のキャリア不純物ドーザ量のプロファイルを示す図である。

【0031】図5図示のMOSFETにおいても、オフ状態において、ドレイン層17の端部近傍では、ドリフト層13A内に多数のn型のキャリアが存在することとなる。このため、キャリア不純物濃度の高いドレイン層17の端部における電界集中が緩和される。また、この構造では、リサーフ層19Aの空乏化がより促進される。従って、オフ状態における耐圧の上昇、即ち高耐圧化が達成される。

【0032】図7は本発明の更に別の実施の形態に係るN-MOSFETを示す断面図である。図7図示の如く、この実施の形態は、ドリフト層が2つの層部分13a、13bからなる点で図5図示のMOSFETと異なる。層部分13a、13bは電子のドリフト方向に沿って並び且つ互いに接続されるように配置される。

【0033】図8は、図7の領域VIII-VIIIに対応する、ドリフト層の層部分13a、13bのn型のキャリア不純物ドーザ量のプロファイルを示す図である。図示

の如く、ドリフト層の層部分13a、13bは、ベース層15側の層部分13aよりも、ドレイン層17側の層部分13bの方が、n型のキャリア不純物のドーザ量が高くなるように設定される。

【0034】図7図示のMOSFETにおいても、図5図示のMOSFETと同様に、オン抵抗の低抵抗化と、高耐圧化とを併せて実現することができる。なお、ドリフト層の層部分13a、13bの数は、3つ以上とすることもできる。

【0035】図9及び図10は夫々本発明の更に別の実施の形態に係るN-MOSFETを示す断面図及び電極を除いた平面図である。図9及び図10図示の如く、この実施の形態は、図1図示のMOSFETにおいて、ベース層15とリサーフ層19との間で、ドリフト層13の表面に梯子状に複数のp型の部分接続層41が形成されることを特徴とする。リサーフ層19がp型の部分接続層41を介してベース層15と電気的に接続されることにより、リサーフ層19がソース電極の電位に固定される。なお、図3、図5、図7図示のMOSFETにおいても、リサーフ層の層部分19aやリサーフ層19Aをp型の部分接続層41を介してベース層15と電気的に接続することにより、本実施の形態と同様な効果を得ることができる。

【0036】図11は本発明の更に別の実施の形態に係るN-MOSFETを示す断面図である。図11図示の如く、この実施の形態は、図1図示のMOSFETにおいて、リサーフ層19上に電極45が配設され、電極45が配線層47を介してソース電極27に接続されることを特徴とする。配線層47は、例えば、層間絶縁膜を介してゲート電極33の上に配設することができる。リサーフ層19が、電極45及び配線層47を介してソース電極27と電気的に接続されることにより、リサーフ層19がソース電極の電位に固定される。なお、図3、図5、図7図示のMOSFETにおいても、リサーフ層の層部分19aやリサーフ層19Aをp型の部分接続層41を介してベース層15と電気的に接続することにより、本実施の形態と同様な効果を得ることができる。

【0037】図12は本発明の更に別の実施の形態に係るN-MOSFETを示す断面図である。図12図示の如く、半導体支持基板11aの上に絶縁膜（埋め込み酸化膜）11bを介してn型の半導体活性層11cが配設される。半導体活性層11cの表面にn型のドリフト層13とp型のベース層15とが選択的に形成される。ドリフト層13の下には、p型の電界緩和層39が、ベース層15に対して間隔をおくように形成される。ドリフト層13の表面には、n+型のドレイン層17が形成される。ベース層15の表面には、n+型のソース層21とp+型のコンタクト層23とが互いに隣接するように形成される。

【0038】ドレイン層17上にドレイン電極25が配

設され、ソース層21及びコンタクト層23上にソース電極27が配設され、更に、支持基板11a上にバイアス電極29が配設される。また、ドリフト層13とソース層21とで挟まれたベース層15の領域の上にゲート絶縁膜31を介してゲート電極33が配設される。

【0039】電界緩和層39は、電子のドリフト方向に沿ってベース層15とドレイン層17との間に挟まれるように、ドリフト層13と活性層11cとの間に配置される。図13は、図12の領域XII-XIIIに対応する、電界緩和層39のp型のキャリア不純物ドーザ量のプロファイルを示す図である。図示の如く、電界緩和層39はドレイン層17側からベース層15側に向かって漸進的にp型のキャリア不純物のドーザ量が高くなるように設定される。

【0040】このような構成を有する図12図示のMOSFETでは、オフ状態において、ドレイン層17の端部近傍及びこれに隣接する活性層11cの端部近傍では、ドリフト層13内に多数のn型のキャリアが存在することとなる。このため、n型キャリア不純物濃度の高い領域において電界集中が緩和され、高耐圧化が達成される。また、絶縁膜11b上に活性層11cを形成することで、活性層11cは電界緩和層39と絶縁膜11bとから空乏化するため、容易に空乏化可能となる。このため、活性層11cの不純物ドーザ量を高くでき、その結果、オン状態における抵抗の減少、即ちオン抵抗の低抵抗化が達成される。

【0041】なお、図12図示のMOSFETにおいても、図9乃至図11を参照して述べたように、電界緩和層39をp型の部分接続層を介してベース層15と電気的に接続するか、或いは配線層を介してソース電極27と電気的に接続することにより、電界緩和層39をソース電極の電位に固定することができる。

【0042】図14は本発明の更に別の実施の形態に係るN-MOSFETを示す断面図である。図14図示の如く、この実施の形態は、電界緩和層が、2つの層部分39a、39bからなる点で図12図示のMOSFETと異なる。層部分39a、39bは電子のドリフト方向に沿って並び且つ互いに接続されるように配置される。

【0043】図15は、図14の領域XV-XVに対応する、電界緩和層の層部分39a、39bのp型のキャリア不純物ドーザ量のプロファイルを示す図である。図示の如く、電界緩和層の層部分39a、39bは、ベース層15側の層部分39aよりも、ドレイン層17側の層部分39bの方が、p型のキャリア不純物のドーザ量が低くなるように設定される。

【0044】図14図示のMOSFETにおいても、図12図示のMOSFETと同様に、オン抵抗の低抵抗化と、高耐圧化とを併せて実現することができる。なお、電界緩和層の層部分39a、39bの数は、3つ以上とすることもできる。また、図14図示のMOSFETに

おいても、図9乃至図11を参照して述べたように、電界緩和層の層部分39aをp型の部分接続層を介してベース層15と電気的に接続するか、或いは配線層を介してソース電極27と電気的に接続することにより、電界緩和層をソース電極の電位に固定することができる。

【0045】なお、上述の各実施の形態において、MOSFETは、通常の単結晶基板及びSOI (Silicon On Insulator) 基板のいずれを使用しても形成することができる。また、半導体活性層の材料はシリコンに限定されるものではない。また、MOS構造の絶縁膜は酸化膜に限定されるものではなく、所謂MIS (Metal Insulator Semiconductor) 構造を使用することもできる。

【0046】以上、本発明の好適な実施の形態について、添付図面を参照しながら説明したが、本発明はかかる構成に限定されるものではない。特許請求の範囲に記載された技術的思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の技術的範囲に属するものと了解される。

【0047】

【発明の効果】本発明によれば、ダブルリザーフ構造を有する電界効果トランジスタにおいて、そのオン抵抗の低抵抗化と、高耐圧化とを併せて実現することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係るN-MOSFETを示す断面図。

【図2】図1の領域II-IIに対応する、ドリフト層内におけるリザーフ層のp型のキャリア不純物ドーザ量のプロファイルを示す図。

【図3】本発明の別の実施の形態に係るN-MOSFETを示す断面図。

【図4】図3の領域IV-IVに対応する、ドリフト層内におけるリザーフ層の層部分のp型のキャリア不純物ドーザ量のプロファイルを示す図。

【図5】本発明の更に別の実施の形態に係るN-MOSFETを示す断面図。

【図6】図5の領域VI-VIに対応する、ドリフト層のn型のキャリア不純物ドーザ量のプロファイルを示す図。

【図7】本発明の更に別の実施の形態に係るN-MOSFETを示す断面図。

【図8】図7の領域VIII-VIIIに対応する、ドリフト層の層部分のn型のキャリア不純物ドーザ量のプロファイルを示す図。

【図9】本発明の更に別の実施の形態に係るN-MOSFETを示す断面図。

【図10】図9図示のMOSFETを電極を除いて示す平面図。

【図11】本発明の更に別の実施の形態に係るN-MOSFETを示す断面図。

【図12】本発明の更に別の実施の形態に係るN-MOSETを示す断面図。

【図13】図12の領域XIII-XIII'に対応する、電界緩和層のp型のキャリア不純物ドーザ量のプロファイルを示す図。

【図14】本発明の更に別の実施の形態に係るN-MOSETを示す断面図。

【図15】図14の領域XV-XV'に対応する、電界緩和層の部分のp型のキャリア不純物ドーザ量のプロファイルを示す図。

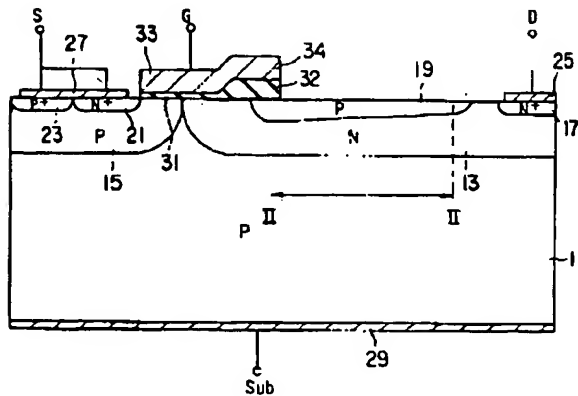
【図16】ダブルリザーフ構造を有する従来のN-MOSETを示す断面図。

【図17】図16の領域XVII-XVII'に対応する、ドリフト層及びリザーフ層のキャリア不純物ドーザ量のプロファイルを示す図。

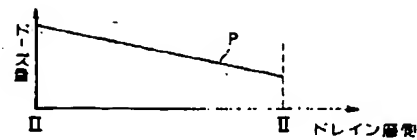
【符号の説明】

- 11…半導体活性層
- 13、13A…n型のドリフト層
- 15…p型のベース層
- 17…n⁻型のドレイン層
- 19、19A…p型のリザーフ層（電界緩和層）
- 21…n⁻型のソース層
- 23…p⁺型のコンタクト層
- 25…ドレイン電極
- 27…ソース電極
- 29…バイアス電極
- 33…ゲート電極
- 39…p型の電界緩和層
- 41…p型の部分接続層
- 45…電極
- 47…配線層

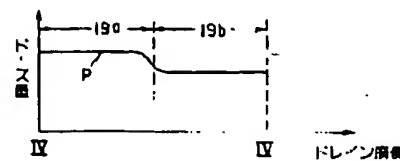
【図1】



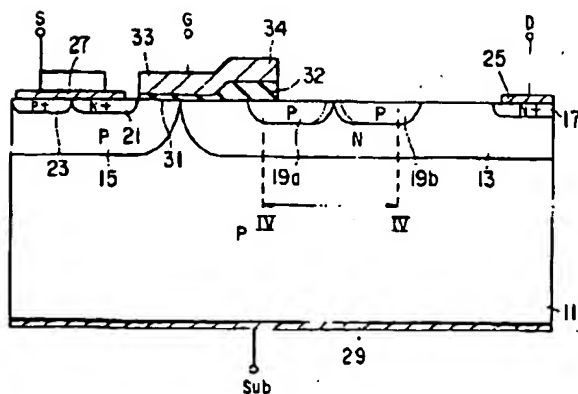
【図2】



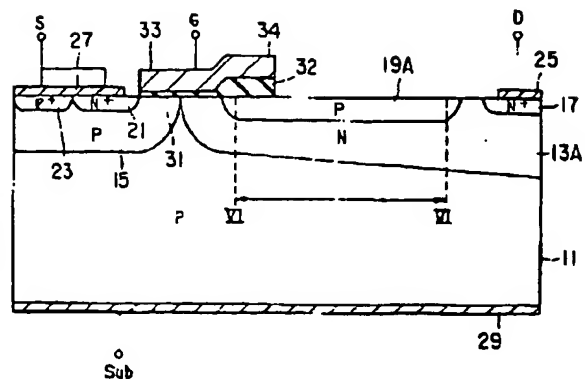
【図4】



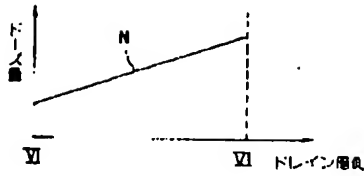
【図3】



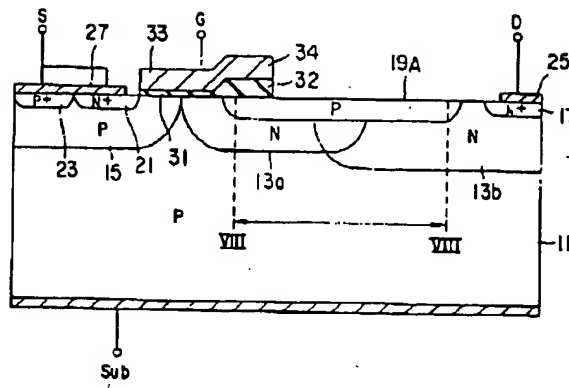
【図5】



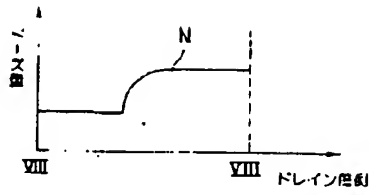
【図6】



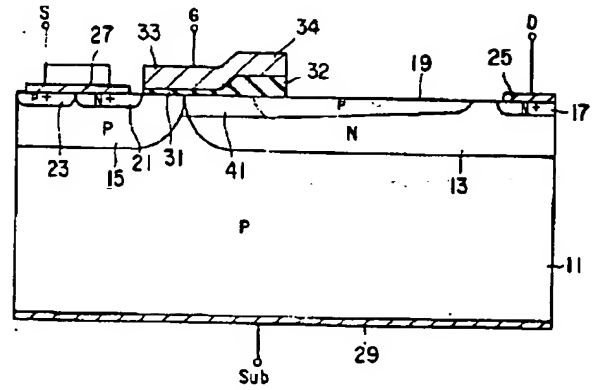
【図7】



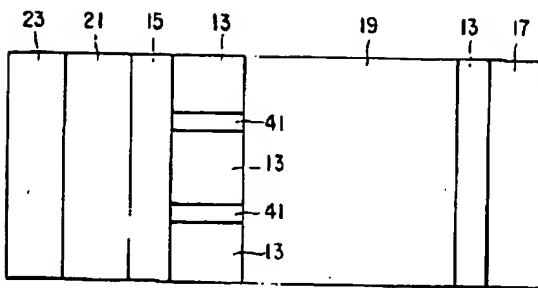
【図8】



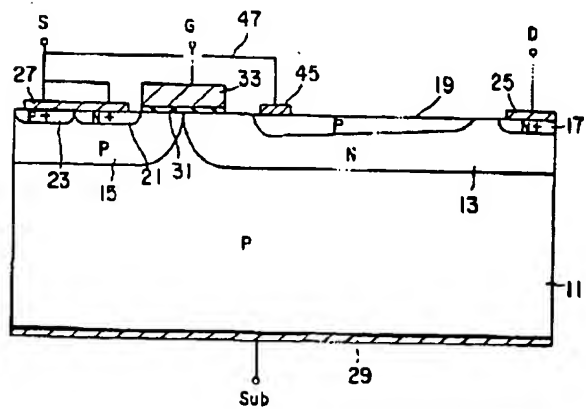
【図9】



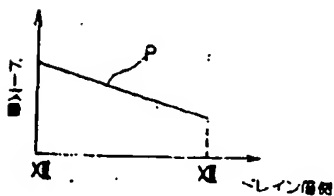
【図10】



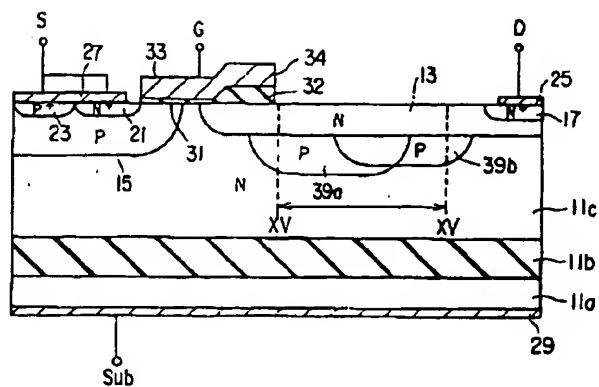
【図11】



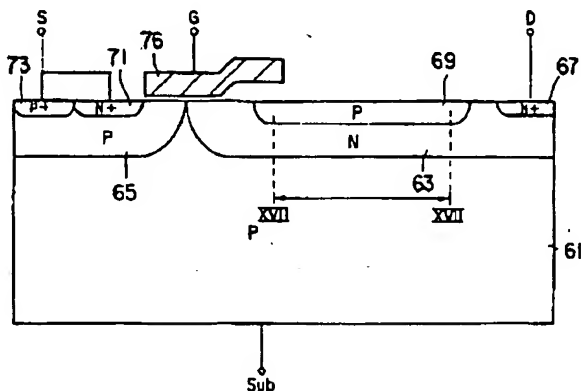
【図12】



【图 1-4】



【図16】



(72)発明者 中川 明夫

Fターム(参考) 5F040 DA20 DA22 EB01 EB12 EB13
ED09 EE05 EM06
5F110 AA13 BB12 CC02 DD05 DD13
GG02 GG12 GG22 HM02 HM12